

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

PN - JP9191417 A 19970722  
PD - 1997-07-22  
AP - JP19960002461 19960110  
IN - HIRATA MINORU  
PA - VICTOR CO OF JAPAN LTD  
TI - CLOCK REGENERATIVE DEVICE  
AB - PROBLEM TO BE SOLVED: To reduce a circuit scale by reducing the X bits of the number of digits on the count value of a reference clock inputted to a subtracter to Y bits.  
- SOLUTION: A digit number reduction unit 12 reduces the number of the digits of an inputted CR value and sets a reduction value to an LC counter 20 at the beginning of operation start. The subtracter 13 subtracts the CR value whose number of digits is reduced and the LC value of the LC counter 20. The output difference value of the subtracter 13 controls the output oscillation frequency of a voltage controlled type crystal oscillator (VCXO) 19 through a variable computing element 15, a digital filter 16 whose filter coefficient is variable and an analog filter 18. The output signal of VCXO 19 is counted by the LC counter 20.  
I - H04N5/06 ;H03L7/06 ;H04L7/033 ;H04N7/24

1997-07-22

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-191417

(43) 公開日 平成9年(1997)7月22日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/06		H 0 4 N	5/06 Z
H 0 3 L	7/06		H 0 3 L	7/06 B
H 0 4 L	7/033		H 0 4 L	7/02 B
H 0 4 N	7/24		H 0 4 N	7/13 Z

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21) 出願番号 特願平8-2461

(22) 出願日 平成8年(1996)1月10日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 平田 稔

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

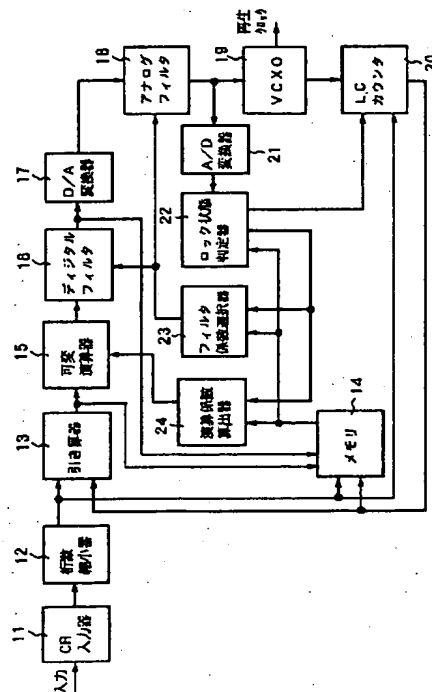
(74) 代理人 弁理士 松浦 兼行

(54) 【発明の名称】 クロック再生装置

(57) 【要約】

【課題】 従来のクロック再生装置は、引き算器はCR値とLC値の全ビットの引き算を実行しているため、回路規模が大きくなる。ループ内の伝達関数を動作状態にかかわらず固定しているため、CR値の受信頻度が大きく変化すると、再生動作の効率が悪くなってしまい、定常カウント誤差を0にする制御は実現できない。

【解決手段】 桁数縮小器12は入力されたCR値の桁数を縮小し、動作開始の一番初めなどに縮小値をLCカウンタ20にセットする。引き算器13は桁数の縮小されたCR値とLCカウンタ20のLC値と引き算する。引き算器13の出力差分値は、可変演算器15、フィルタ係数可変のデジタルフィルタ16、アナログフィルタ18を経てVCXO19の出力発振周波数を制御する。VCXO19の出力信号はLCカウンタ20でカウントされる。



## 【特許請求の範囲】

【請求項1】 受信したデータから抽出したXビットの基準クロックのカウント値を入力信号として受け、その下位Yビット ( $X > Y$ ) に桁数を縮小すると共に、このYビットの下位 ( $Y-1$ ) ビットの値に差分値を考慮した値を補正加算して出力する桁数縮小器と、

前記桁数縮小器のYビット出力値と生成したカウント値とを、それらの大小関係に応じて前記Yビット出力値の下位 ( $Y-1$ ) ビットとカウント値との引き算を行って前記差分値を得る引き算器と、

入力制御信号に応じて出力発振周波数が可変制御される可変周波数発振器と、

前記引き算器の出力差分値に応じた前記制御信号を生成して前記可変周波数発振器の出力発振周波数を可変制御して前記基準クロックの再生クロックを出力させる制御信号生成手段と、

前記可変周波数発振器の出力再生クロックをカウントして生成した前記カウント値を前記引き算器へ出力するカウンタとを有することを特徴とするクロック再生装置。

【請求項2】 前記引き算器と前記制御信号生成手段の間に設けられ、入力差分値と外部入力演算係数との演算を行う可変演算器と、

前記引き算器、可変演算器、制御信号生成手段、可変周波数発振器及びカウンタからなる一巡のフィードバックループのロック状態を前記引き算器の出力差分値及び制御信号生成手段の出力制御信号に基づいて判定するロック状態判定手段と、

前記ロック状態判定手段によりロック状態到達前と判定されたときに比し、ロック状態到達と判定されたときのループゲインを小さくする前記演算係数を前記可変演算器に inputs する演算係数算出手段とを有することを特徴とする請求項1記載のクロック再生装置。

【請求項3】 前記引き算器と前記制御信号生成手段の間に設けられ、入力差分値のフィルタリングを外部入力フィルタ係数に応じて行うフィルタと、

前記引き算器、フィルタ、制御信号生成手段、可変周波数発振器及びカウンタからなる一巡のフィードバックループのロック状態を前記引き算器の出力差分値及び制御信号生成手段の出力制御信号に基づいて判定するロック状態判定手段と、

前記ロック状態判定手段によりロック状態到達前と判定されたときに比し、ロック状態到達と判定されたときの前記フィルタの遮断周波数を低くする前記フィルタ係数を前記フィルタに inputs するフィルタ係数選択手段とを有することを特徴とする請求項1又は2記載のクロック再生装置。

【請求項4】 前記演算係数算出手段は、前記ロック状態判定手段によりロック状態到達と判定されたときは、前記引き算器の出力差分値に基づき、前記制御信号をロック状態時の制御の中心点の値に移行するように制御す

る演算係数を出力することを特徴とする請求項2記載のクロック再生装置。

【請求項5】 前記引き算器は、前記桁数縮小器の今回のYビット出力値と今回生成したカウント値との差分値を、今回のYビット出力値と前回のYビット出力値との差分値で除算した値を生成出力することを特徴とする請求項1記載のクロック再生装置。

【請求項6】 前記Xビットの基準クロックは下位300進数9ビット、上位16進数33ビットの計42ビットであり、前記下位Yビットは前記下位9ビットと前記上位33ビットの下位Nビットからなる ( $9+N$ ) ビットであり、前記桁数縮小器は、前記差分値を考慮しK回目に補正加算する値として、次式

$$\text{COMP}(K) = \{ (K \times D[N]) \} \& \{ (512 \times 2^{N-1} - 1) \}$$

$$D[N] = (300 \times 2^N - 1) - (512 \times 2^{N-1} - 1)$$

(ただし、&は論理積を示す記号) で表されるCOMP(K)を前記下位(Y-1)ビットの値に加算することを特徴とする請求項1記載のクロック再生装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック再生装置に係り、特にエンコーダ側の基準クロックをデコーダ側で再生するクロック再生装置に関する。

【0002】

【従来の技術】国際標準の画像圧縮方式であるMPEG (Moving Picture Experts Group) システムでは、デコーダにおいて時刻基準となる同期情報の値を、エンコーダ側で意図した値にセット、校正するために、送信側であるエンコーダが基準クロックのカウント値 (以下、CR (Clock Reference) 値という) を時刻基準参照値として送信データの一部に挿入して伝送し、受信側のデコーダでは受信したCR値と内部の局所的なクロックのカウント値 (以下、LC (Local Clock) 値という) を比較、演算処理して受信側のクロックの発振周波数を制御する。これにより、デコーダではエンコーダのCR値を再生することができる。

【0003】ここで、エンコーダは水晶発振器から出力される  $27\text{MHz} \pm 20\text{ppm}$  (すなわち、 $27\text{MHz} \pm 540\text{Hz}$ ) の基準クロックに基づいてエンコード作業を行っている。同時に、この基準クロックは下位300進数9ビット上位16進数33ビットのカウントでカウントされており、このカウント値が前記CR値として使用される。従って、CR値は、下位300進数9ビット、上位16進数33ビットの計42ビットである。

【0004】このCR値の下位300進数9ビットは、MPEG規格で定められた  $90\text{kHz}$  ( $= 27\text{MHz} / 300$ ) のシステムクロックをデコーダで再現するためであり、上位16進数33ビットは、 $90\text{kHz}$

のシステムクロックでの計測値で1日24時間の範囲を表現できるようにするためである。

【0005】図11は上記のCR値に基づいてクロック再生を行う従来のクロック再生装置の一例のブロック図を示す。同図において、エンコーダより送信され、デコーダで受信されたCR値は引き算器51により後述のカウンタ55の出力LC値と引き算された後、D/A変換器52でデジタル・アナログ変換される。このD/A変換器52の出力アナログ信号は、低域フィルタ(LPF)53により不要な高周波数成分が除去された後、電圧制御発振器(VCO)54に制御電圧として印加され、その出力発振周波数を可変制御する。

【0006】VCO54の出力発振周波数は27MHzであり、再生クロックとして出力される一方、カウンタ55により分周されて90kHzとされ、引き算器51にLC値として入力される。また、カウンタ55は入力CR値がセットされる。これにより、引き算器51、D/A変換器52、LPF53、VCO54及びカウンタ55からなる一巡のフィードバックループ回路により、入力CR値に同期し、エンコーダのシステムクロックと完全に周波数の一致したシステムクロックを再生することができる。

【0007】

【発明が解決しようとする課題】しかるに、上記の従来のクロック再生装置は、引き算器51はCR値とLC値との差分値の絶対値を考慮しないで、42ビットのCR値の全ビットとの引き算を実行しているため、引き算器51、D/A変換器52、カウンタ55などの回路規模が大きくなるという問題がある。

【0008】また、従来のクロック再生装置では、ループ内の伝達関数を動作状態にかかわらず固定しているため、CR値の受信頻度が大きく変化すると、再生動作の効率が悪くなってしまい、また、定常カウント誤差を0にする制御は実現できない。

【0009】更に、従来のクロック再生装置では、ロック動作を早くするため、ループゲインを大きくすると、ジッタが大きいつきには得ようとする映像信号の色副搬送波の変化率(スルーレート)が大きくなり過ぎるという問題もある。

【0010】本発明は以上の点に鑑みなされたもので、回路規模を縮小し得るクロック再生装置を提供することを目的とする。

【0011】また、本発明の他の目的は、動作状態に応じて最適なループ伝達関数制御ができるクロック再生装置を提供することにある。

【0012】更に、本発明の他の目的は、定常カウント誤差を0にできるクロック再生装置を提供することにある。

【0013】

【課題を解決するための手段】本発明は上記の目的を達

成するため、本発明は、受信したデータから抽出したXビットの基準クロックのカウント値を入力信号として受け、その下位Yビット( $X > Y$ )に桁数を縮小すると共に、このYビットの下位( $Y-1$ )ビットの値に差分値を考慮した値を補正加算して出力する桁数縮小器と、桁数縮小器のYビット出力値と生成したカウント値とを、それらの大小関係に応じてYビット出力値の下位( $Y-1$ )ビットとカウント値との引き算を行って差分値を得る引き算器と、入力制御信号に応じて出力発振周波数が可変制御される可変周波数発振器と、引き算器の出力差分値に応じた制御信号を生成して可変周波数発振器の出力発振周波数を可変制御して基準クロックの再生クロックを出力させる制御信号生成手段と、可変周波数発振器の出力再生クロックをカウントして生成したカウント値を引き算器へ出力するカウンタとを有する構成としたものである。

【0014】この発明では引き算器に入力される基準クロックのカウント値の桁数XビットがYビットに縮小されているため、( $X-Y$ )ビットの桁数削減により回路規模を縮小できる。

【0015】また、本発明は引き算器と制御信号生成手段の間に設けられ、入力差分値と外部入力演算係数との演算を行う可変演算器と、引き算器、可変演算器、制御信号生成手段、可変周波数発振器及びカウンタからなる一巡のフィードバックループのロック状態を引き算器の出力差分値及び制御信号生成手段の出力制御信号に基づいて判定するロック状態判定手段と、ロック状態判定手段によりロック状態到達前と判定されたときに比し、ロック状態到達と判定されたときのループゲインを小さくする演算係数を可変演算器に入力する演算係数算出手段とを有する構成としたものである。

【0016】本発明では、可変演算器及び演算係数算出手段により、ロック状態に到達するまでのループゲインをロック状態時よりも大きく制御できる。

【0017】また、本発明は引き算器と制御信号生成手段の間に設けられ、入力差分値のフィルタリングを外部入力フィルタ係数に応じて行うフィルタと、引き算器、フィルタ、制御信号生成手段、可変周波数発振器及びカウンタからなる一巡のフィードバックループのロック状態を引き算器の出力差分値及び制御信号生成手段の出力制御信号に基づいて判定するロック状態判定手段と、ロック状態判定手段によりロック状態到達前と判定されたときに比し、ロック状態到達と判定されたときのフィルタの遮断周波数を低くするフィルタ係数をフィルタに入力するフィルタ係数選択手段とを有することを特徴とする。

【0018】この発明では、ロック状態判定時にはロック状態到達前よりもフィルタの遮断周波数が低くされるため、比較的短い周期のジッタをロック状態時に低減できる。

【0019】また、本発明によれば、演算係数算出手段を、ロック状態判定手段によりロック状態到達と判定されたときは、引き算器の出力差分値に基づき、制御信号をロック状態時の制御の中心点の値に移行するように制御する演算係数を出力する構成としたことを特徴とする。

【0020】更に、本発明によれば、引き算器を、桁数縮小器の今回のYビット出力値と今回生成したカウント値との差分値を、今回のYビット出力値と前回のYビット出力値との差分値で除算した値を生成出力する構成としたことを特徴とする。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について説明する。図1は本発明になるクロック再生装置の一実施の形態のブロック図を示す。同図において、図示しないエンコーダより送信されたパケットデータはデコーダにより受信され、CR入力器11に供給される。このパケットデータは、エンコーダが生成したエレメンタリ・ストリーム(ES:Elementary Stream)をある長さでパケット化したもので、例えば図2に示すようなパケットサイズド・エレメンタリ・ストリーム(PES:Packetized Elementary Stream)パケットである。図2において、PESパケットは先頭にヘッダ31が付加され、続いて42ビットのCR値32、付加情報33が多重され、最後にESデータ34が多重された構成である。

【0022】パケット化されたESデータは応用システムのフォーマットに従い、他のパケットと混合される。混合の際、CR値は各パケットがデコーダバッファに入力終了した時に、パケットの生成時刻を示すCR値として矛盾しないよう、値を補正した後に挿入される。

【0023】このパケットデータは図1のCR入力器11に入力され、ここでCR入力器11に有効なパケットのみ抽出され、その中からCR値が抽出されて桁数縮小器12に供給される。桁数縮小器12は本発明の要部をなす回路部で、その詳細な動作は後述するが、入力された42ビットのCR値の桁数を縮小し、動作開始の一番初め、不連続を示すフラグ情報を得た場合、及び動作を初期化する指示を外部又は本装置内のロック状態判定器22から受けた場合だけ、その桁数縮小出力値を16進のLCカウンタ20にセットする。

【0024】桁数縮小器12の出力値(桁数が縮小されたCR値)は引き算器13に供給され、ここで16進のLCカウンタ20のカウント値(LC値)と引き算される。ここで、CR値とLC値の差の絶対値について説明する。この実施の形態ではCR値とLC値の差分値を制御に用いるが、両者の差の絶対値が小さければ42ビットの引き算やLCカウンタは必要ない。両者の差の絶対値について見当をつけると以下ようになる。いま、LC値を生成するために $27\text{MHz} \pm 200\text{ppm}$ のVC

XOを使用すると、エンコーダ基準クロックとの1秒当りの差は最大220ppm、すなわち5940Hzとなる。逆に、30ビット分の差が生じるには、この最大ずれ状態が約50時間続くことになる。従って、差の絶対値は30ビットあれば十分すぎるほど表現できる。なお、30ビットという桁数は32ビットCPU処理に因んで検討したものである。

【0025】次に、引き算器13の動作について図3と共に説明する。図3はCR値とLC値を(M-1)ビットのフルスケールで打ち切った場合、(Mビット目まで使用)の差の計算方法を示す。ただし、この場合、以下の2つの条件が必要になる。

【0026】第1の条件は、CR値とLC値の差の絶対値が(M-2)ビットフルスケール未満であることである。これは、図中、パターン番号の判断を間違わないための条件である。第2の条件は、CR値を下位9ビットと上位33ビットを16進数で揃え、(M-1)ビット分の範囲に変換したとき、その値域が(M-1)ビットのフルスケールまで連続して変化するように上手に桁数の縮小が行われていることである。なお、上位ビットを単純にカットした後、16進数変換するとフルスケールまで連続して変化しない。この桁数の縮小方法については後述する。

【0027】図3において、縦軸は10進数の値、横軸は時間であり、実線AはCR値で(M-1)ビットオールの値「0」から(M-1)ビットオール「1」の値「 $2^{M-1}-1$ 」まで周期的に直線的に変化し、一点鎖線Bは図1のLCカウンタ20により得られるLC値が、図1の回路によって入力CR値に追従して変化した場合を示している。この場合、次の判定をするため、LC値、CR値の差の絶対値が $2^{M-2}-1$ 未満であることが条件であるため、CR値とLC値との大小関係によってパターンI～パターンIIIまでの3つのパターンに分ける。引き算器13はこの3つのパターンのうちのパターンに属するかによってCR値とLC値の差を算出する。

【0028】パターンIは差分の絶対値が $2^{M-2}-1$ 未満のときであり、このときの差分値はCR値のM-1ビット目から1ビット目までで表される値(これをA[M-1...1]で表すものとする)からLC値のM-1ビット目から1ビット目までで表される値(これをB[M-1...1]で表すものとする)を差し引いた値である。パターンII及びIIIは差分の絶対値が $2^{M-2}-1$ 以上の場合である。

【0029】これらの3つのパターンの判定方法と差分値の計算式をまとめると、表1に示すようになる。ただし、表1中[a]はA[M-1...1]であり、[b]はB[M-1...1]である。

【0030】

【表1】



パターン	判定方法	差分値の計算式
パターンI	差分 $<2^{N-1}-1$	$A[M-1..1] - B[M-1..1]$
パターンII	差分 $\geq 2^{N-1}-1$ [a] > [b]	$2^{N-1} + B[M-1..1] - A[M-1..1]$
パターンIII	差分 $\geq 2^{N-1}-1$ [b] > [a]	$2^{N-1} + A[M-1..1] - B[M-1..1]$

次に、上記の引き算器13による引き算を実現するための桁数縮小器12による桁数縮小動作について説明する。引き算器13による引き算を実現するためには、図3に実線Aで示したように、桁数を(M-1)ビットに縮小したCR値は、その値域が(M-1)ビットのフルスケールまで連続して鋸波状に変化するように桁数の縮小が行われていることが前提である。

【0031】ここで、CR値は下位300進数9ビット、上位16進数33ビットのカウンタ値であるため、上位33ビットに300を乗じて下位ビットに加えることで16進数に変換できる。ただし、この変換後の値は42ビットのフルスケールまで変化しない。下位9ビットが300進数であり、フルスケールまで変化しないからである。

【0032】同様に、下位300進数9ビット、上位16進数33ビットのうち、下位9ビットと上位33ビットのうちの下からNビットを使用し16進数変換すると、そのときの(9+N)ビットのうちの下位9ビットは300進数であり、「0」から「299」までしか変化しないから、図4に破線Iで示すように「0」から「 $300 \times 2^{N-1}-1$ 」までの値域でしか変化しない。すなわち、16進数に変換された(9+N)ビットは、「 $2^{N-1}-1$ 」までのフルスケールのうち、「 $300 \times 2^{N-1}-1$ 」までの値域しか用いていないこととなる。

【0033】そこで、変換された(9+N)ビットの最上位ビットをカットして(9+N-1)ビットとすると、この場合の値は図4に実線IIで示すように、「0」から「 $2^{N-1}-1 (=512 \times 2^{N-1}-1)$ 」まで直線的に増加した後、「0」に戻り、次に「 $(300 \times 2^{N-1}-1) - (512 \times 2^{N-1}-1) = D[N]$ 」まで直線的に増加し、再び「0」に戻る。

【0034】従って、この場合は図4にIIで示すようにギザギザ変化を繰り返す、図3に実線Aで示したような鋸波状の変化とならないから、変換された(9+N)ビットの最上位ビットをカットして単純に(9+N-1)ビットとしただけでは引き算器13による引き算ができない。図3と共に説明したように、パターンに応じて引き算するためには、鋸波状の変化をする特性である必要があるからである。

【0035】そこで、この実施の形態では、上記のギザギザ変化をきれいな鋸波状の変化とするために以下のよ

うな補正を施す。まず、1回目の補正について考える。実線IIの小さい方のギザギザ変化は、(9+N)ビットの最上位ビットの変化により検出できる(この検出方法は小さい方の変化点には何回目でも適用できる)。そこで、この最上位ビットの変化(具体的には「0」から「1」への変化)を検出した瞬間以降に、小さいギザギザ変化分の値D[N]を2回目の小さいギザギザ変化までの間加算し続けることにより、1回目の補正ができる。この1回目の補正を図5にaで示す。

【0036】同様に、2回目以降の補正については、2回目以降の小さなギザギザ変化が検出される毎に、その検出以降更に変化分のD[N]を増加して加算し続けられればよい。一方、加算分自体及び加算結果Cは「 $512 \times 2^{N-1}-1$ 」までの値域であることを考慮すると、K回目の補正分COMP(K)及び加算結果Cは値域上限の論理積(又は剰余)をとって次のように表せる。

【0037】 $COMP(K) = \{ (K \times D[N]) \} \& \{ (512 \times 2^{N-1}-1) \}$   
 $C = \{ B + COMP(K) \} \& \{ (512 \times 2^{N-1}-1) \}$

(ただし、&は論理積を示す記号、Bは(9+N-1)ビットで表される値)

なお、図5のbは2回目の補正、cは3回目の補正を示す。この補正により、ギザギザ変化を図5に実線IIIで、図6に実線IVで示すようなきれいな鋸波状に変換できる。なお、図6の上半分の図はN=11の場合の具体的な値の変化を示す。

【0038】しかし、この補正ではこのままではKの値がK=0のときから順番に数えていかないと解らない。途中再生等の場合を考慮すると、Kは受信するCR値から直接見出す必要がある。この問題は、CR値の構成からNを0から順番に増やして考えていくと、結局、16進数変換の際カットした上位(33-N)ビット、及び使用した(9+N)ビットの最上位ビットを合わせた値の上位(34-N)ビットの値が上記Kの値に相当していることが解る。この補正により、CR値の桁数を(9+N)ビットに縮小して(9+N-1)ビット同士の引き算を行うことができる。

【0039】再び図1に戻って説明するに、引き算器13により引き算された桁数が縮小されたCR値とLCカウンタ20よりのLC値との差分値は、メモリ14に蓄

積される一方、可変演算器15、ディジタルフィルタ16、D/A変換器17及びアナログフィルタ18をそれぞれ経てアナログ制御電圧として電圧制御型水晶発振器(VCXO)19に印加され、その出力発振周波数27MHzを可変制御する。このVCXO19の出力信号はLCカウンタ20によりカウントされる。このカウンタ20のカウント値LCは引き算器13に入力されると共にメモリ14に蓄積される。

【0040】これにより、引き算器13、可変演算器15、ディジタルフィルタ16、D/A変換器17、アナログフィルタ18、VCXO19及びLCカウンタ20よりなる一巡のフィードバックループによりVCXO19の出力発振周波数は入力CR値の変化に同期するように制御される。

【0041】なお、桁数縮小器12により引き算器13において引き算するCR値とLC値のビット数を従来よりも少なくできるので、引き算器13などの回路を簡略化できると共に、引き算器13をCPUを用いて演算動作させた場合は、処理時間を従来に比べて短縮することができる。

【0042】また、メモリ14には、ディジタルフィルタ16より取り出されたVCXO19のディジタル制御信号が蓄積される。更に、アナログフィルタ18より取り出されたVCXO19のアナログ制御電圧はA/D変換器21に供給されて再びディジタル制御信号に変換された後、ロック状態判定器22に供給される。ロック状態判定器22はこのディジタル制御信号とメモリ14から読み出されたディジタル信号とに基づいて、上記フィードバックループがロック状態に入ったかどうかを判定しており、その判定結果に応じて演算係数算出器24及びフィルタ係数選択器23を制御すると共に、LCカウンタ20を制御する。

【0043】演算係数算出器24はロック状態に応じて演算係数を算出し、その演算係数を可変演算器15に供給してループゲインを可変制御する。また、フィルタ係数選択器23はロック状態に応じてフィルタ係数を算出し、そのフィルタ係数をディジタルフィルタ16及びアナログフィルタ18にそれぞれ供給し、そのフィルタ特性を可変制御する。

【0044】すなわち、演算係数算出器24は、差分値が一定間隔で入力された場合に、図7に実線Vで示すような特性が得られるような演算係数を発生して可変演算器15に供給し、入力差分値との演算により特性Vが得られるループゲインに設定する。

【0045】図7に示すループゲイン特性Vは、VCXO19の最大制御電圧 $V_{max}$ と最小制御電圧 $V_{min}$ との範囲内で、かつ、エンコードのシステムクロックの上限周波数がVCXO19から出力される制御電圧と下限周波数が出力される制御電圧の電圧範囲VIの中心がVCXO19の制御電圧中心 $V_0$ に一致する特性で、この

クロック再生装置がロック状態に引き込む前には、電圧範囲VIの外における急峻なループゲイン特性とされ、ロック状態到達後は電圧範囲VIにおける緩やかなループゲイン特性である。これにより、ロック状態に引き込むまでの所要時間を短くできる。

【0046】また、クロック再生装置がロック状態に引き込まれた後は演算係数算出器24は、差分値が一定間隔で入力された場合に、図8に実線VIIで示すような特性が得られるような演算係数を発生して可変演算器15に供給してもよい。図8中、図7と同一部分には同一符号を付してある。図8において、差分値を制御の中心点(ロック実績点) $V_1$ に緩やかに移行するように再制御を行う。これにより、VCXO19は図8にVIIIで示す電圧範囲内で制御され、差分値が0に向かう制御が行え、定常的なカウント誤差を小さくすることができる。また、この再制御と共に、可変演算器15の入出力特性を図8にVIIで示すように補正することにより、ロック状態時の安定性を一層高められる。

【0047】更に、上記のループゲインの制御と同時に、フィルタ係数選択器23によるディジタルフィルタ16及びアナログフィルタ18のフィルタ特性の制御がロック状態に応じて行われる。すなわち、ロック状態に入るまでは、ディジタルフィルタ16及びアナログフィルタ18は、フィルタ係数選択器23より入力されたフィルタ係数に基づき、図9にXで示す低域フィルタ特性であるのに対し、ロック状態に到達した後は図9にXIで示すようにロック状態前に比べて遮断周波数が低下した低域フィルタ特性に制御される。これにより、ロック状態時には、回線デコードにおけるジッタ補正とは別に、比較的短い周期のCR値ジッタに対するこの実施の形態の応答を緩和させることができる。

【0048】ところで、上記のクロック再生装置はMP EGデコードと組み合わせて使用できる。図10はこのクロック再生装置を用いたビデオ信号再生装置の一例のブロック図を示す。同図において、MP EGエンコードからのパケットデータは入力バッファ41及び上記の本発明のクロック再生装置42にそれぞれ入力される。クロック再生装置42により再生されたクロックはMP EGデコード44及びスイッチ回路45の端子45bに入力され、また、クロック再生装置42よりのロック状態の有無を示すロック判定信号が切換制御信号としてスイッチ回路45に供給される。

【0049】入力バッファ41より出力されたPESパケットデータは、MP EGデコード44に供給され、ここでビデオデータがデコード出力され、フレームシンクロナイザ46でクロック信号に基づいてジッタが補正された後、ディジタルNTSCエンコード47に供給され、クロック信号に基づいて生成された色副搬送波を有するNTSC方式のビデオ信号に変換されて出力される。

【0050】ここで、スイッチ回路45はロック状態に入る前には端子45a側に接続され、水晶発振器43から発振出力された所定周波数のクロック信号をスイッチ回路45を通してフレームシンクロナイザ46及びデジタルNTSCエンコーダ47にそれぞれ入力する。すなわち、ロック前にはNTSCのビデオレートとクロック再生装置42により再生されるクロック信号とはずれがあるため、フレームシンクロナイザ46がその差を隠し必要に応じてフレームスリップしながらビデオ再生する。この際のずれのため、MPEGデコーダ44の入力側に入力バッファ41を設け、MPEGデコーダ44のバッファ制御を助けると共に、クロック信号としては水晶発振器43の出力信号を用いる。

【0051】クロック再生装置42のロック後はスイッチ回路45は端子45b側に切換接続され、クロック再生装置42により再生された所定周波数のクロック信号をスイッチ回路45を通してフレームシンクロナイザ46及びデジタルNTSCエンコーダ47にそれぞれ入力する。これにより、ロック後はクロック再生装置42からのクロック信号により完全にビデオ信号を再生できる。これにより、NTSC方式ビデオ信号の色副搬送波の周波数変化率を小さく抑えることができる。

【0052】なお、本発明は以上の実施の形態に限定されるものではなく、例えば引き算器13は入力CR値とLC値を実際には表1に示したように、また実質的には両者の差分値を得る引き算動作をするように説明したが、例えば差分値として  $(P_{crn+1} - L_{crn+1}) / (P_{crn+1} - P_{crn})$  なる重み付けした値を得るような引き算動作を行うようにしてもよい（ただし、 $P_{crn+1}$ は今回入力されたCR値、 $P_{crn}$ は前回入力されたCR値、 $L_{crn+1}$ は、今回入力されたLC値）。この場合には、CR値の受信頻度が変化しても、クロック再生動作の効率低下を抑えることができる。また、本発明はMPEG以外のデジタル信号中のクロックの再生装置にも適用できる。

#### 【0053】

【発明の効果】以上説明したように、本発明によれば、引き算器に入力される基準クロックのカウント値の桁数XビットがYビットに縮小されているため、 $(X-Y)$ ビットの桁数削減により回路規模を縮小でき、よって、引き算器だけでなく、カウンタ制御信号生成手段の回路規模を縮小でき、これにより、コストを低減できると共に、CPUを用いて引き算などを実行する場合は処理時間を短縮することができる。

【0054】また、本発明によれば、可変演算器及び演算係数算出手段により、ロック状態に到達するまでのループゲインをロック状態時よりも大きくするように制御したため、迅速にロック状態に到達させることができる。また、本発明によれば、ロック状態判定時にはロック状態到達前よりもフィルタの遮断周波数が低くされる

ため、比較的短い周期の基準クロックのカウント値のジッタをロック状態時に低減できる。

【0055】更に、本発明によれば、演算係数算出手段は、ロック状態判定手段によりロック状態到達と判定されたときは、引き算器の出力差分値に基づき、制御信号をロック状態時の制御の中心点の値に移行するように制御する演算係数を出力するようにしたため、差分値が0に向かう制御が行われ、定常的なカウント誤差を小さくできる。

【0056】更に、本発明によれば、引き算器は、桁数縮小器の今回のYビット出力値と今回生成したカウント値との差分値を、今回のYビット出力値と前回のYビット出力値との差分値で除算した値を生成出力するようにしたため、基準クロックのカウント値の受信頻度が変化してもクロック再生動作の効率低下を抑制することができる。

#### 【図面の簡単な説明】

【図1】本発明になるクロック再生装置の一実施の形態のブロック図である。

【図2】入力されるバケットデータの一例のフォーマットを示す図である。

【図3】図1中の引き算器の動作説明図である。

【図4】16進数に変換した  $(9+N)$  ビットの値域及び最上位ビットをカットした  $(9+N-1)$  ビットの値域をそれぞれ示す図である。

【図5】図1中の桁数縮小器の補正加算動作説明図である。

【図6】図1中の桁数縮小器の補正加算動作説明図である。

【図7】図1のロック動作到達前のループゲイン特性説明図である。

【図8】図1のロック動作到達後のループゲイン特性説明図である。

【図9】図1のフィルタ特性制御動作説明図である。

【図10】本発明装置とMPEG2のビデオ再生装置を組み合わせた装置の一例のブロック図である。

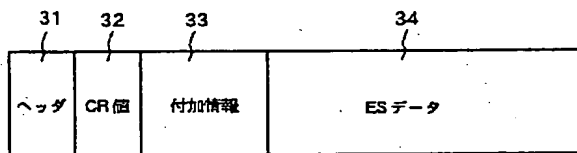
【図11】従来のクロック再生装置の一例のブロック図である。

#### 【符号の説明】

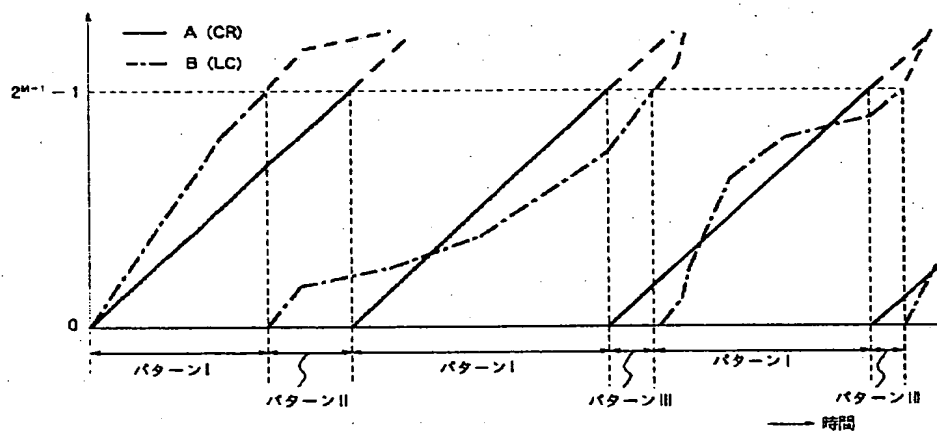
- 11 CR入力器
- 12 桁数縮小器
- 13 引き算器
- 14 メモリ（ロック状態判定手段、フィルタ係数選択手段、演算係数算出手段）
- 15 可変演算器
- 16 デジタルフィルタ（制御信号生成手段）
- 17 D/A変換器（制御信号生成手段）
- 18 アナログフィルタ（制御信号生成手段）
- 19 電圧制御型水晶発振器（VCXO）（可変周波数発振器）

- |                          |                  |
|--------------------------|------------------|
| 20 LCカウンタ                | 42 本発明のクロック再生装置  |
| 21 A/D変換器                | 43 水晶発振器         |
| 22 ロック状態判定器(ロック状態判定手段)   | 44 MPEGデコーダ      |
| 23 フィルタ係数選択器(フィルタ係数選択手段) | 45 スイッチ回路        |
| 24 演算係数算出器(演算係数算出手段)     | 46 フレームシンクロナイザ   |
| 32 CR値                   | 47 デジタルNTSCエンコーダ |
| 41 入力バッファ                |                  |

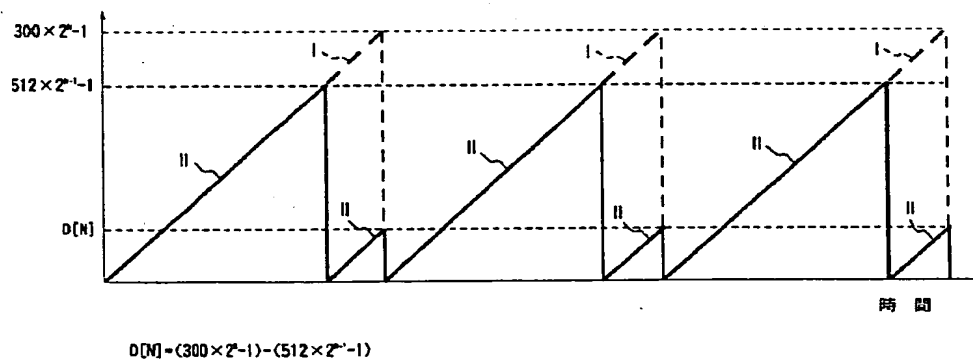
【図2】



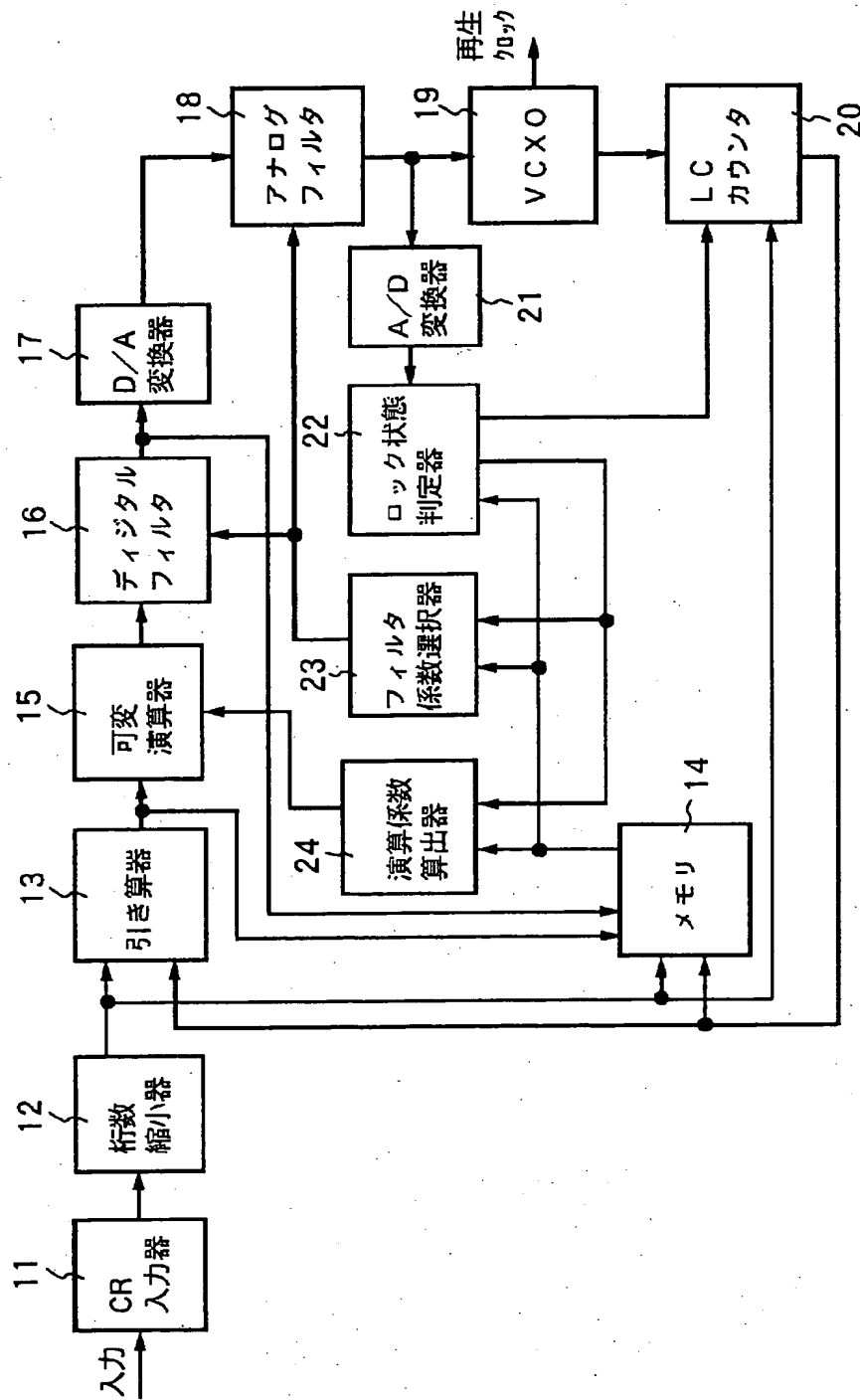
【図3】



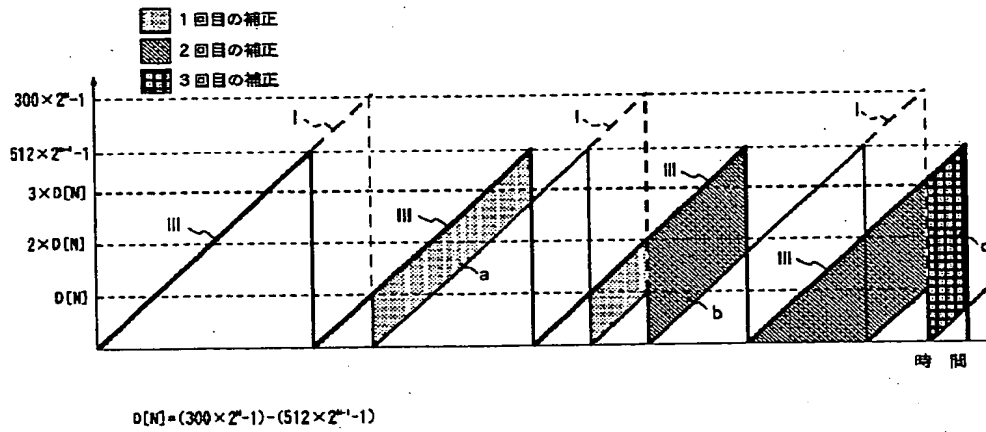
【図4】



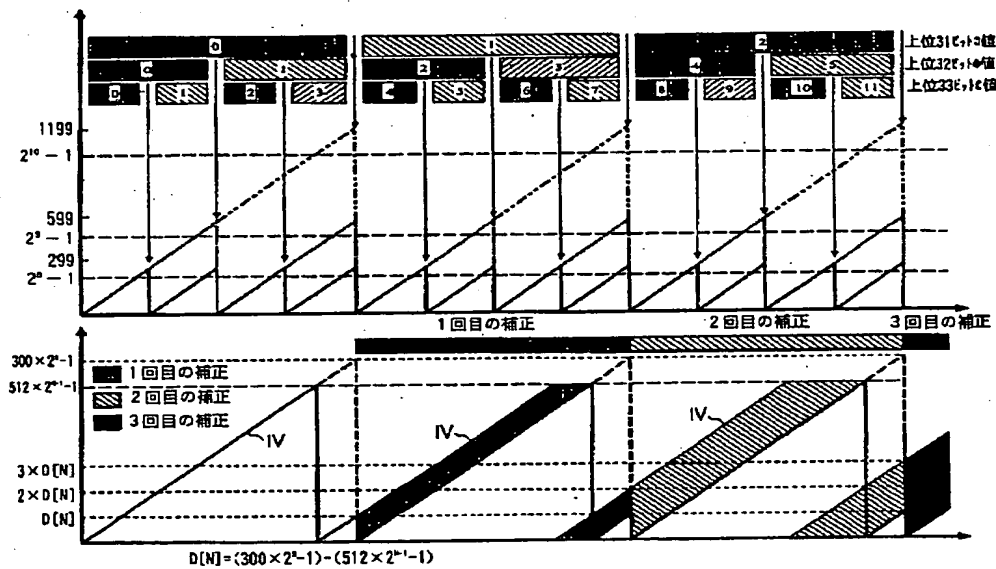
【図1】



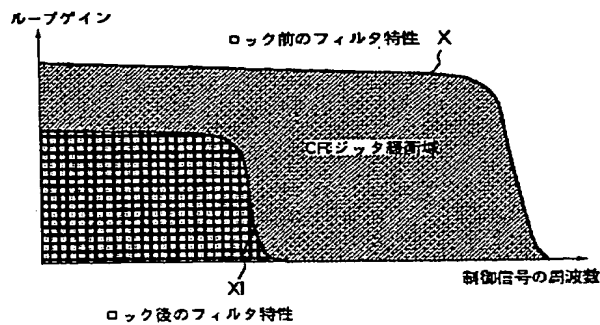
【図5】



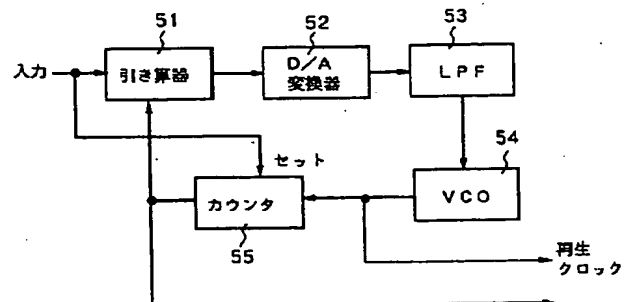
【図6】



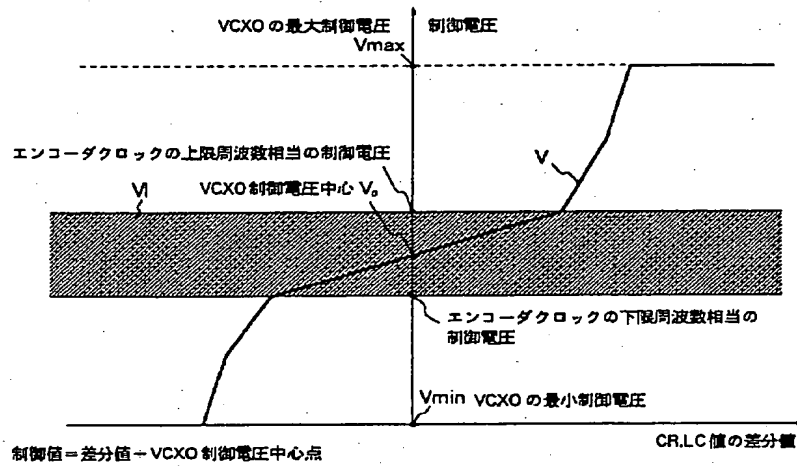
【図9】



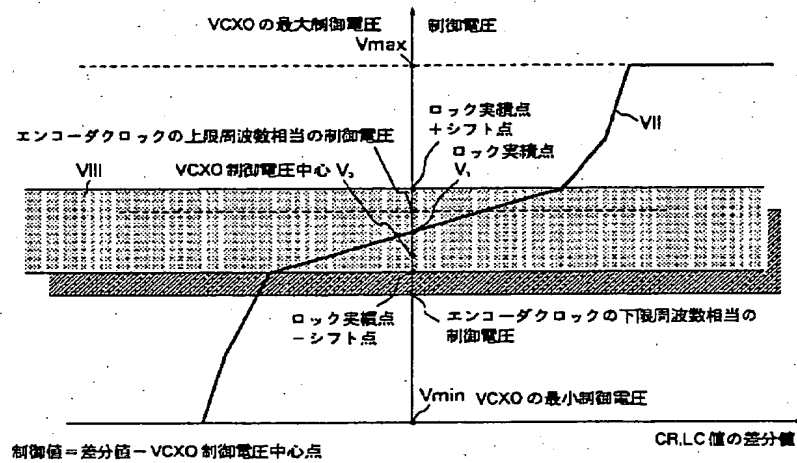
【図11】



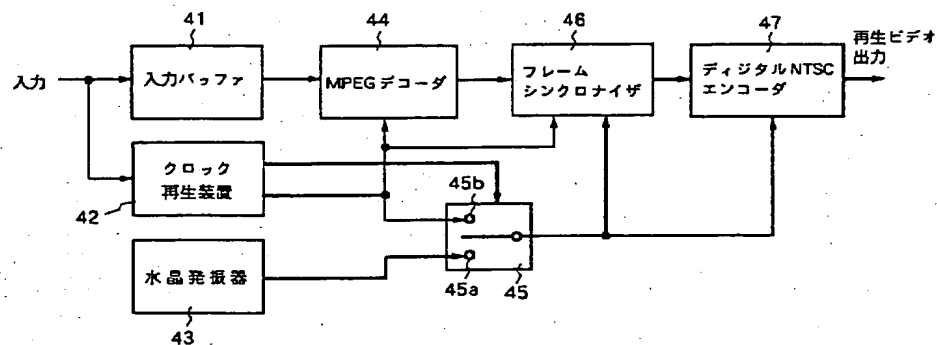
【図7】



【図8】



【図10】



---

**THIS PAGE BLANK (USPTO)**